

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-89033

(43)公開日 平成5年(1993)4月9日

(51)Int.Cl.⁵

G 0 6 F 13/36

識別記号

5 2 0 D 8725-5B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 6 頁)

(21)出願番号 特願平3-249521

(22)出願日 平成3年(1991)9月27日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 中村 孝好

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 弁理士 井桁 貞一

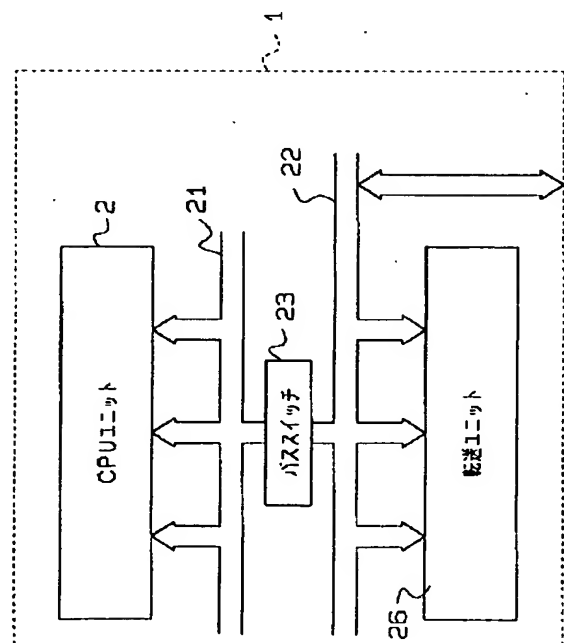
(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】本発明は1チップ上に形成された複数のユニットがバスで接続された半導体集積回路において、各ユニットを並行して動作可能としてシステムのスループットを向上させることを目的とする。

【構成】外部装置との間でデータの転送処理を行う転送ユニット26と、前記転送ユニット26で転送されたデータの処理を行うCPUユニット2とが一つのチップ1上に形成され、前記CPUユニット2を構成する各回路は第一の内部バス21で接続され、前記転送ユニット26を構成する各回路は第二の内部バス22で接続され、前記第一の内部バス21と前記第二の内部バス22とはバススイッチ23を介して分離可能に接続されて前記両内部バス21、22を分離した状態では前記CPUユニット2と前記転送ユニット26とがそれぞれ独立して動作可能となるように構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 外部装置との間でデータの転送処理を行う転送ユニット(26)と、前記転送ユニット(26)で転送されたデータの処理を行うCPUユニット(2)とを一つのチップ(1)上に形成し、前記CPUユニット(2)を構成する各回路は第一の内部バス(21)で接続し、前記転送ユニット(26)を構成する各回路は第二の内部バス(22)で接続し、前記第一の内部バス(21)と前記第二の内部バス(22)とはバススイッチ(23)を介して分離可能に接続して前記両内部バス(21, 22)を分離した状態では前記CPUユニット(2)と前記転送ユニット(26)とをそれぞれ独立して動作可能としたことを特徴とする半導体集積回路。

【請求項2】 前記バススイッチ(23)は第一の内部バス(21)と第二の内部バス(22)との間で双方向にデータを伝送するバッファ回路(24a, 24b)を設けるとともに、前記バッファ回路(24a, 24b)の動作を前記転送ユニット(26)でデータを第一の内部バス(21)と第二の内部バス(22)との間で伝送する状態と第一の内部バス(21)と第二の内部バス(22)とを分離する状態のいずれかに制御して構成することを特徴とする請求項1記載の半導体集積回路。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】この発明は1チップ上にデータの転送及び処理システムを形成した半導体集積回路に関するものである。

【0002】近年の半導体集積回路ではその高集積化にともない一つのチップ上にCPUを中心とした一つのシステムを構成したものがあり、このような半導体集積回路の動作効率を向上させることが要請されている。

【0003】

【従来の技術】一つのチップ上に一つのシステムを構成した半導体集積回路の一例を図5に従って説明すると、チップ1上にはCPUユニット2とシリアルインターフェースユニット3、DMAC(Direct Memory Access Controller)4、HINTC(Host Interrupt Controller)5が構成され、各装置は同一チップ1内に形成されたデータバス6a、アドレスバス6b及びコントロールバス6cからなる内蔵バス6を介してホストインターフェース9に接続され、そのホストインターフェース9は外部システムバス10を介してホストCPU11及び外部RAM12にアクセス可能となっている。

【0004】CPUユニット2はCPU13と、ファームウェア用割り込みコントローラであるINTC(Interrupt Controller)14と、TIMER(タイマ)15と、ワーク用あるいはデータ用として使用されるRAM16と、ファームウェアを格納するROM17とから構成されている。

【0005】前記シリアルインターフェース3はシリア

ルデータとパラレルデータとの変換を行うSIU(Serial Interface Unit)18と受信データ及び送信データを格納するためのSIU用RAM19とから構成されている。

【0006】また、前記DMAC4は前記SIU18と外部RAM12とのデータ転送を行うものであり、HINTC5は前記CPU13及びSIU18からの割り込み要求に基づいて割り込み動作を行うものである。

【0007】上記のように構成された半導体集積回路の動作を説明すると、ホストCPU11によりSIU18の動作モードが設定された状態でSIU18によりDMAC4が起動されると、外部RAM12から送信データが外部システムバス10、ホストインターフェース9及びデータバス6aを介してSIU用RAM19に格納される。そして、CPU13はSIU用RAM19に格納されたデータを内蔵バス6を介して読み出してRAM16に一次格納し、ROM17に格納されているファームウェアに基づいて必要な処理を行い、さらに処理されたデータは内蔵バス6を介してSIU18の送信レジスタに書き込まれ、同SIU18から出力される。

【0008】一方、受信データはSIU18の受信レジスタに格納され、CPU13はこのデータを内蔵バス6を介して読み出してエラー処理、再送要求処理、データの抽出等を行い、データをSIU用RAM19に書き込む。そして、SIU用RAM19に書き込まれたデータはDMAC4により内蔵バス6を介して外部RAM12に転送される。

【0009】

【発明が解決しようとする課題】ところが、上記のような半導体集積回路ではシリアルインターフェースユニット3及びDMAC4とCPUユニット2とは共通の内蔵バス6を使用する構成であるため、シリアルインターフェースユニット3及びDMAC4が外部RAM12との間でデータ転送を行っている間はCPUユニット2は内蔵バス6を使用することができない。従って、この時にはCPU13がRAM16あるいはROM17に対しアクセスすることができなくなるため、システムのスループットが低下するという問題点があった。

【0010】この発明の目的は、1チップ上に形成された複数のユニットがバスで接続された半導体集積回路において、各ユニットを並行して動作可能としてシステムのスループットを向上させることにある。

【0011】

【課題を解決するための手段】図1は本発明の原理説明図である。すなわち、外部装置との間でデータの転送処理を行う転送ユニット26と、前記転送ユニット26で転送されたデータの処理を行うCPUユニット2とが一つのチップ1上に形成され、前記CPUユニット2を構成する各回路は第一の内部バス21で接続され、前記転送ユニット26を構成する各回路は第二の内部バス22

で接続され、前記第一の内部バス21と前記第二の内部バス22とはバススイッチ23を介して分離可能に接続されて前記両内部バス21、22を分離した状態では前記CPUユニット2と前記転送ユニット26とがそれぞれ独立して動作可能となる。

【0012】また、前記バススイッチ23は第一の内部バス21と第二の内部バス22との間で双方向にデータを伝送するバッファ回路24a、24bが設けられるとともに、前記バッファ回路24a、24bの動作を前記転送ユニット26でデータを第一の内部バス21と第二の内部バス22との間で伝送する状態と第一の内部バス21と第二の内部バス22とを分離する状態のいずれかに制御するように構成される。

【0013】

【作用】バススイッチ23を閉路状態とすれば、第一の内部バス21と第二の内部バス22を介して転送ユニット26とCPUユニット2との間でデータの伝送が可能となり、バススイッチ23を開路すれば第一の内部バス21と第二の内部バス22とが分離されて転送ユニット26とCPUユニット2とが独立して動作可能となる。

【0014】

【実施例】以下、この発明を具体化した一実施例を図2～図4に従って説明する。なお、前記従来例と同一構成部分は同一符号を付して説明する。

【0015】図2に示すように、この実施例はCPUユニット2及びシリアルインターフェースユニット3等の各システムは前記従来例と同一構成であり、CPUユニット2とシリアルインターフェースユニット3等にそれぞれ内蔵バス21、22が形成され、内蔵バス21はデータバス21a、アドレスバス21b、コントロールバス21cとから構成され、内蔵バス22はデータバス22a、アドレスバス22b、コントロールバス22cとから構成されている。そして、内蔵バス21はCPUユニット2に接続され、内蔵バス22はシリアルインターフェースユニット3、DMAC4、HINTC5及びホストインターフェース9からなる転送ユニットに接続されている。

【0016】両内蔵バス21、22はバススイッチ23を介して分離可能に接続されている。そのバススイッチ23を図3に従って説明すると、二つのバッファ回路24a、24bは互いに一方の入力端子が他方の出力端子に接続されて入出力端子A、Bが構成され、入力端子Bが例えば内蔵バス21のデータバス21aに接続され、入力端子Aが例えば内蔵バス22のデータバス22aに接続されている。

【0017】各バッファ回路24a、24bにはNAND回路25a、25bの出力信号が反転されて入力され、そのNAND回路25a、25bの出力信号がLレベルのとき各バッファ回路24a、24bが活性化されるようになっている。

【0018】NAND回路25aには活性化信号Cと動作方向制御信号DIRが前記SIU18から入力され、NAND回路25bには活性化信号Cと動作方向制御信号DIRがインバータ回路27を介して入力されている。従って、このようなバススイッチ23では図4にその動作論理を示すように活性化信号CがLレベルとなると各NAND回路25a、25bの出力信号がHレベルとなるため、バッファ回路24a、24bが不活性化状態となってデータバス21aと同22aとの接続が遮断される。

【0019】一方、活性化信号CがHレベルとなった状態で動作方向制御信号DIRがLレベルとなると、NAND回路25bの出力信号がLレベル、NAND回路25aの出力信号がHレベルとなるためバッファ回路24bだけが活性化され、入力端子Aから同Bへのデータ伝送が可能となる。また、活性化信号CがHレベルとなった状態で動作方向制御信号DIRがHレベルとなると、NAND回路25aの出力信号がLレベル、NAND回路25bの出力信号がHレベルとなるためバッファ回路24aだけが活性化され、入力端子Bから同Aへのデータ伝送が可能となる。そして、このようなバススイッチ23はアドレスバス21bと同22b、コントロールバス21cと同22cとの間にも設けられている。

【0020】さて、上記のように構成された半導体集積回路の動作を説明すると、ホストCPU11によりSIU18の動作モードが設定された状態でSIU18によりDMAC4が起動されると、外部RAM12から送信データが外部システムバス10、ホストインターフェース9及びデータバス22aを介してSIU用RAM19に格納される。そして、CPU13はSIU用RAM19に格納されたデータをバススイッチ23及び内蔵バス21を介して読み出してRAM16に一次格納し、ROM17に格納されているファームウェアに基づいて必要な処理を行い、さらに内蔵バス21、バススイッチ23及び内蔵バス22を介してSIU18の送信レジスタに書き込まれ、同SIU18から内蔵バス22及びホストインターフェース9を介して出力される。

【0021】一方、受信データは内蔵バス22を介してSIU18の受信レジスタに格納され、CPU13はこのデータを内蔵バス22、バススイッチ23及び内蔵バス21を介して読み出してエラー処理、再送要求処理、データの抽出等を行い、データをSIU用RAM19に書き込む。そして、SIU用RAM19に書き込まれたデータはDMAC4により内蔵バス22を介して外部RAM12に転送され、このときバススイッチ23は開路されて内蔵バス21はCPUユニット2によって占有され、内蔵バス22はシリアルインターフェースユニット3及びDMAC4によって占有される。

【0022】以上のようにこの半導体集積回路では、CPUユニット2とシリアルインターフェースユニット3

及びDMAC 4とにそれぞれ内蔵バス21、22が形成され、バススイッチ23により内蔵バス21、22が必要に応じて接続される。従って、シリアルインターフェースユニット3及びDMAC 4と外部RAM 12との間でデータの転送を行う場合にもバススイッチ23を開路して内部バス21を内部バス22から独立させることによりCPUユニット2は内部バス21を使用してRAM 16及びROM 17にアクセスしてデータの処理動作を行うことができるのでシステムのスループットを向上させることができる。

【0023】

【発明の効果】以上詳述したように、この発明は1チップ上に形成された複数のユニットがバスで接続された半導体集積回路において、各ユニットを並行して動作可能としてシステムのスループットを向上させることができ

る優れた効果を発揮する。

【図面の簡単な説明】

【図1】本発明の原理説明図である。

【図2】本発明の一実施例を示すブロック図である。

【図3】一実施例のバススイッチを示す回路図である。

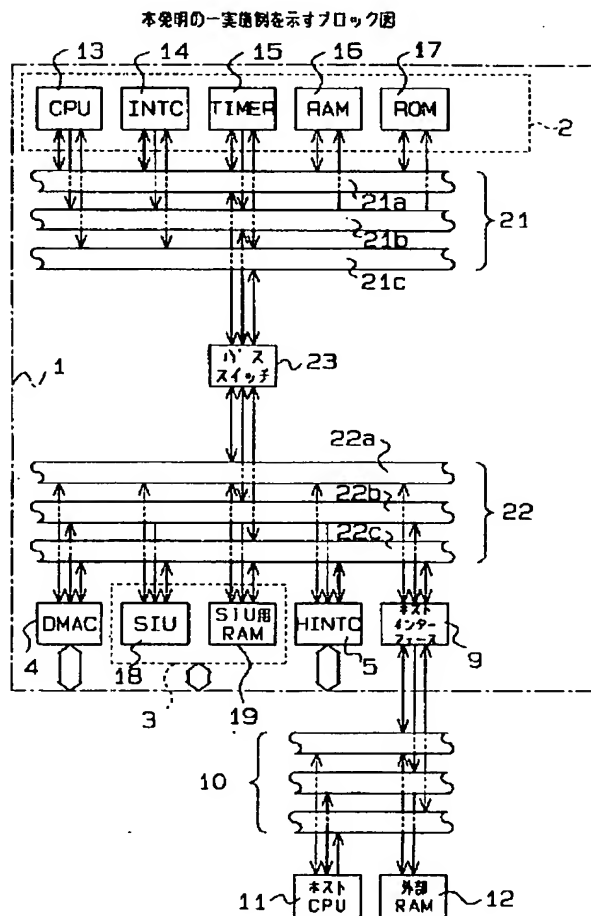
【図4】一実施例のバススイッチの動作論理を示す説明図である。

【図5】従来例を示すブロック図である。

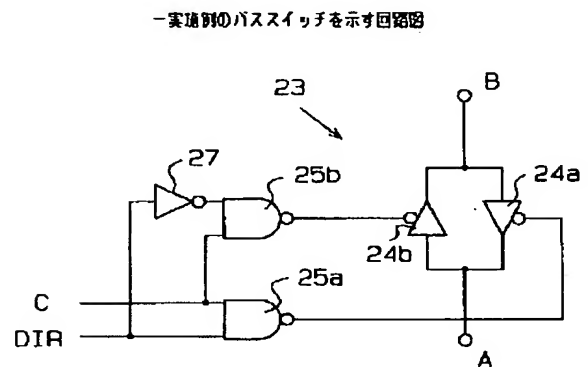
【符号の説明】

- 1 チップ
- 2 CPUユニット
- 21 第一の内部バス
- 22 第二の内部バス
- 23 バススイッチ
- 26 転送ユニット

【図2】



【図3】



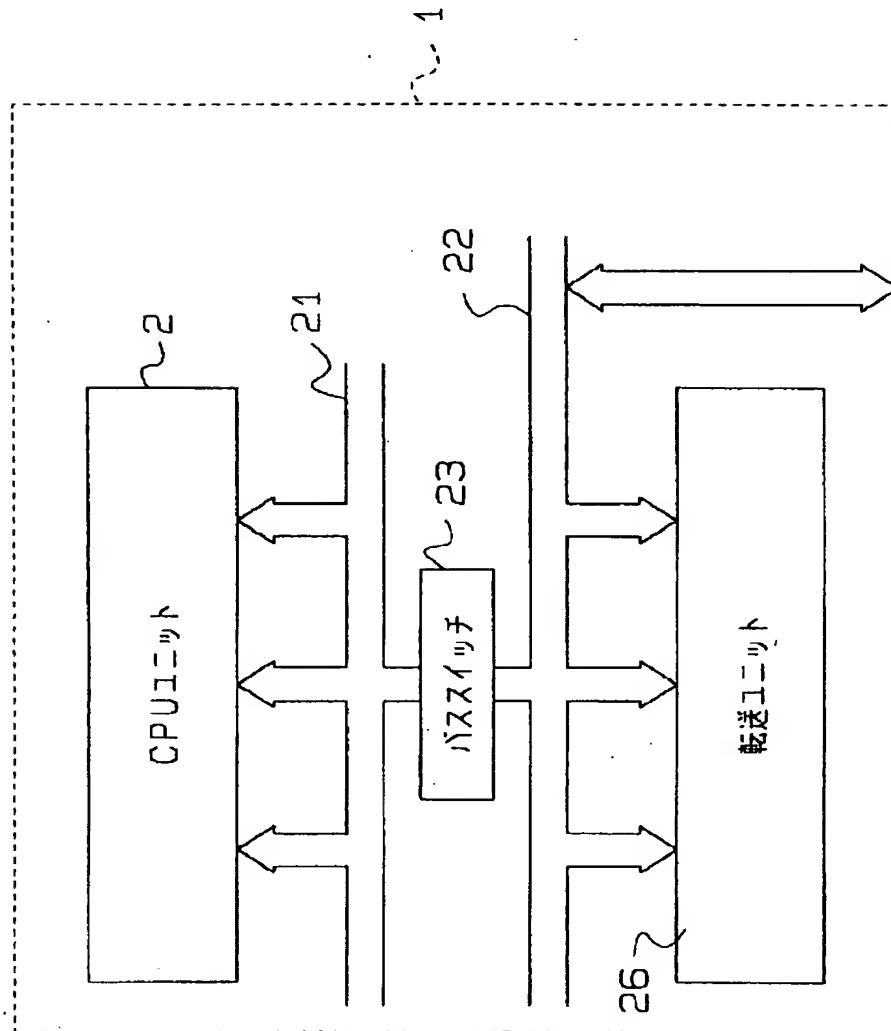
【図4】

一実施例のバススイッチの動作論理を示す説明図

C	DIR	データ転送方向
0	0	X
0	1	X
1	0	A→B
1	1	A←B

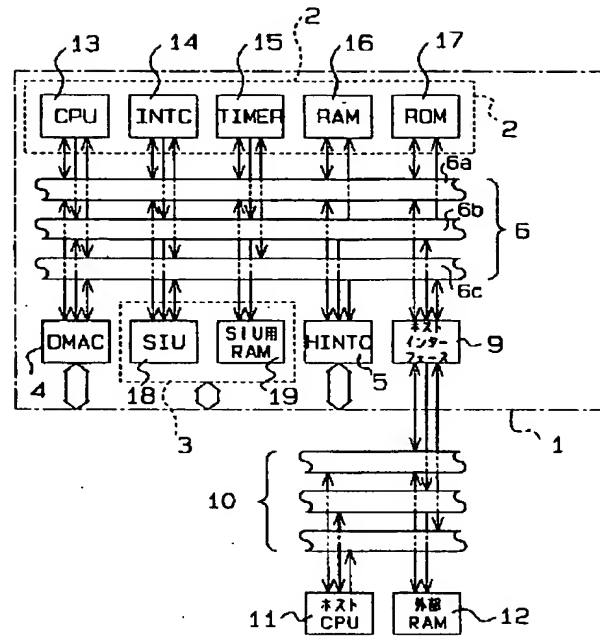
【図 1】

本発明の原理説明図



【図5】

従来例を示すブロック図



*** NOTICES ***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The transfer unit which performs data transfer processing between external devices (26), The CPU unit (2) which processes the data transmitted in said transfer unit (26) is formed on one chip (1). Each circuit which constitutes said CPU unit (2) is connected with the first internal bus (21). Each circuit which constitutes said transfer unit (26) is connected with the second internal bus (22). Said the first internal bus (21) and said second internal bus (22) mind a bus switch (23). The semiconductor integrated circuit characterized by enabling independently actuation of said CPU unit (2) and said transfer unit (26), respectively where it connected disengageable and said both internal buses (21 22) are separated.

[Claim 2] While said bus switch (23) prepares the buffer circuit (24a, 24b) which transmits data bidirectionally between the first internal bus (21) and the second internal bus (22) It controls to either of the conditions of separating the condition of transmitting data for actuation of said buffer circuit (24a, 24b) between the first internal bus (21) and the second internal bus (22) in said transfer unit (26), and the first internal bus (21) and second internal bus (22). The semiconductor integrated circuit according to claim 1 characterized by constituting.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor integrated circuit in which the data transfer and the processing system were formed on 1 chip.

[0002] In the semiconductor integrated circuit in recent years, some which constituted one system centering on CPU are on one chip with the high integration, and it is requested that the effectiveness of such a semiconductor integrated circuit of operation should be raised.

[0003]

[Description of the Prior Art] If an example of the semiconductor integrated circuit which constituted one system is explained according to drawing 5 on one chip On a chip 1, the CPU unit 2, the serial interface unit 3, and DMAC (Direct Memory Access Controller)4 and HINTC (Host Interrupt Controller)5 are constituted. Each equipment is connected to the host interface 9 through the built-in bus 6 which consists of data bus 6a formed in the same chip 1, address bus 6b, and control bus 6c. The host interface 9 is accessible to the host CPU 11 and the exterior RAM 12 through the external system bus 10.

[0004] The CPU unit 2 consists of CPU13, INTC (Interrupt Controller)14 and TIMER (timer)15 which are an interruption controller for firmware, RAM16 used as the object for work pieces, or an object for data, and ROM17 which stores firmware.

[0005] Said serial interface 3 consists of RAM19 for SIU for storing SIU (Serial Interface Unit)18 which performs conversion with serial data and parallel data, received data, and transmit data.

[0006] Moreover, said DMAC4 performs data transfer of said SIU18 and Exterior RAM 12, and HINTC5 performs interruption actuation based on said interrupt request from CPU13 and SIU18.

[0007] When actuation of the semiconductor integrated circuit constituted as mentioned above was explained, where the mode of operation of SIU18 is set up by the host CPU 11, when DMAC4 is started by SIU18, transmit data is stored in RAM19 for SIU through the external system bus 10, the host interface 9, and data bus 6a from the exterior RAM 12. And required processing is performed based on the firmware which CPU13 reads the data stored in RAM19 for SIU through the built-in bus 6, stores it in RAM16 primarily, and is stored in ROM17, and the data processed further are written in the transmit register of SIU18 through the built-in bus 6, and are outputted from this SIU18.

[0008] On the other hand, received data are stored in the receive register of SIU18, and CPU13 reads this data through the built-in bus 6, performs error processing, resending demand processing, the extract of data, etc., and writes data in RAM19 for SIU. And the data written in RAM19 for SIU are transmitted to the exterior RAM 12 by DMAC4 through the built-in bus 6.

[0009]

[Problem(s) to be Solved by the Invention] However, in the above semiconductor integrated circuits, since the serial interface unit 3, and DMAC4 and the CPU unit 2 are configurations which use the common built-in bus 6, while the serial interface unit 3 and DMAC4 are performing data transfer between the exteriors RAM 12, the CPU unit 2 cannot use the built-in bus 6. Therefore, since it became impossible for CPU13 to access to RAM16 or ROM17 at this time, there was a trouble that a system throughput fell.

[0010] The purpose of this invention has two or more units formed on 1 chip in raising a system throughput as actuation being possible in parallel in each unit in the semiconductor integrated circuit connected by bus.

[0011].

[Means for Solving the Problem] Drawing 1 is the principle explanatory view of this invention. Namely, the transfer unit 26 which performs data transfer processing between external devices, The CPU unit 2 which processes the data transmitted in said transfer unit 26 is formed on one chip 1. Each circuit which constitutes said CPU unit 2 is connected with the first internal bus 21. Each circuit which constitutes said transfer unit 26 is connected with the second internal bus 22. Where said the first internal bus 21 and said second internal bus 22 were connected disengageable through the bus switch 23 and said both internal buses 21 and 22 are separated, actuation of said CPU unit 2 and said transfer unit 26 is attained independently, respectively.

[0012] Moreover, while the buffer circuits 24a and 24b which transmit data bidirectionally between the first internal bus 21 and the second internal bus 22 are formed, said bus switch 23 It is constituted so that it may control to either of the conditions of separating the condition of transmitting data for actuation of said buffer circuits 24a and 24b between the first internal bus 21 and the second internal bus 22 in said transfer unit 26, the first internal bus 21, and the second internal bus 22.

[0013]

[Function] Transmission of data is attained between the transfer unit 26 and the CPU unit 2 through a close condition, then the first internal bus 21 and second internal bus 22 in the bus switch 23, if it carries out off [of the bus switch 23], the first internal bus 21 and second internal bus 22 will be separated, and actuation of the transfer unit 26 and the CPU unit 2 will be attained independently.

[0014]

[Example] Hereafter, one example which materialized this invention is explained according to drawing 2 - drawing 4 . In addition, the same component as said conventional example attaches and explains the same sign.

[0015] As shown in drawing 2 , it is the same configuration as said conventional example, and, as for this example, the built-in buses 21 and 22 are formed in the CPU unit 2 and serial interface unit 3 grade, respectively, as for each system of the CPU unit 2 and serial interface unit 3 grade, the built-in bus 21 consists of data bus 21a, address bus 21b, and control bus 21c, and the built-in bus 22 consists of data bus 22a, address bus 22b, and control bus 22c. And the built-in bus 21 is connected to the CPU unit 2, and the built-in bus 22 is connected to the transfer unit which consists of the serial interface unit 3, DMAC4 and HINTC5, and a host interface 9.

[0016] The buses 21 and 22 with both [built-in] are connected disengageable through the bus switch 23. If the bus switch 23 is explained according to drawing 3 , the input terminal of each other [while] is connected to the output terminal of another side, input/output terminals A and B are constituted, an input terminal B is connected to data bus 21a of the built-in bus 21, and, as for two buffer circuits 24a and 24b, the input terminal A is connected to data bus 22a of the built-in bus 22.

[0017] The output signal of NAND circuits 25a and 25b is reversed and inputted into each buffer circuits 24a and 24b, and when the output signal of the NAND circuits 25a and 25b is L level, each buffer circuits 24a and 24b are activated.

[0018] The activation signal C and the direction control signal DIR of operation are inputted into NAND-circuit25a from said SIU18, and the activation signal C and the direction control signal DIR of operation are inputted into NAND-circuit25b through the inverter circuit 27. Therefore, with such a bus switch 23, since the output signal of each NAND circuits 25a and 25b will serve as H level if the activation signal C serves as L level as the logic of operation is shown in drawing 4 , buffer circuits 24a and 24b will be in an inactive condition, and connection between data bus 21a and this 22a will be intercepted.

[0019] On the other hand, if the direction control signal DIR of operation serves as L level where the activation signal C is set to H level, since the output signal of L level and NAND-circuit 25a serves as H level, only buffer circuit 24b will be activated, and the data transmission of the

output signal of NAND-circuit 25b through which it passes said B will become possible from an input terminal A. Moreover, if the direction control signal DIR of operation serves as H level where the activation signal C is set to H level, since the output signal of L level and NAND-circuit 25b serves as H level, only buffer circuit 24a will be activated, and the data transmission of the output signal of NAND-circuit 25a through which it passes said A will become possible from an input terminal B. And such a bus switch 23 is formed also between address bus 21b, this 22b, and control bus 21c and this 22c.

[0020] Now, when actuation of the semiconductor integrated circuit constituted as mentioned above was explained, where the mode of operation of SIU18 is set up by the host CPU 11, when DMAC4 is started by SIU18, transmit data is stored in RAM19 for SIU through the external system bus 10, the host interface 9, and data bus 22a from the exterior RAM 12. And required processing is performed based on the firmware which reads the data with which CPU13 was stored in RAM19 for SIU through the bus switch 23 and the built-in bus 21, stores in RAM16 primarily, and is stored in ROM17, and it is written in the transmit register of SIU18 further through the built-in bus 21, the bus switch 23, and the built-in bus 22, and is outputted through the built-in bus 22 from said SIU18, and the host interface 9.

[0021] On the other hand, received data are stored in the receive register of SIU18 through the built-in bus 22, and CPU13 reads this data through the built-in bus 22, the bus switch 23, and the built-in bus 21, performs error processing, resending demand processing, the extract of data, etc., and writes data in RAM19 for SIU. And the data written in RAM19 for SIU are transmitted to the exterior RAM 12 by DMAC4 through the built-in bus 22, at this time, off [of the bus switch 23] is carried out, the built-in bus 21 is occupied by the CPU unit 2, and the built-in bus 22 is occupied by the serial interface unit 3 and DMAC4.

[0022] As mentioned above, with this semiconductor integrated circuit, the built-in buses 21 and 22 are formed in the CPU unit 2, the serial interface unit 3, and DMAC4, respectively, and the built-in buses 21 and 22 are connected by the bus switch 23 if needed. Therefore, also when performing a data transfer between the serial interface unit 3 and DMAC4, and the exterior RAM 12, since the CPU unit 2 can access RAM16 and ROM17 using an internal bus 21 by carrying out off [of the bus switch 23], and making an internal bus 21 become independent of an internal bus 22 and processing actuation of data can be performed, a system throughput can be raised.

[0023]

[Effect of the Invention] As explained in full detail above, this invention demonstrates the outstanding effectiveness as for which each unit can raise a system throughput as actuation being possible in parallel in the semiconductor integrated circuit to which two or more units formed on 1 chip were connected by bus.

[Translation done.]